



Espacenet

Bibliographic data: JP 7177523 (A)

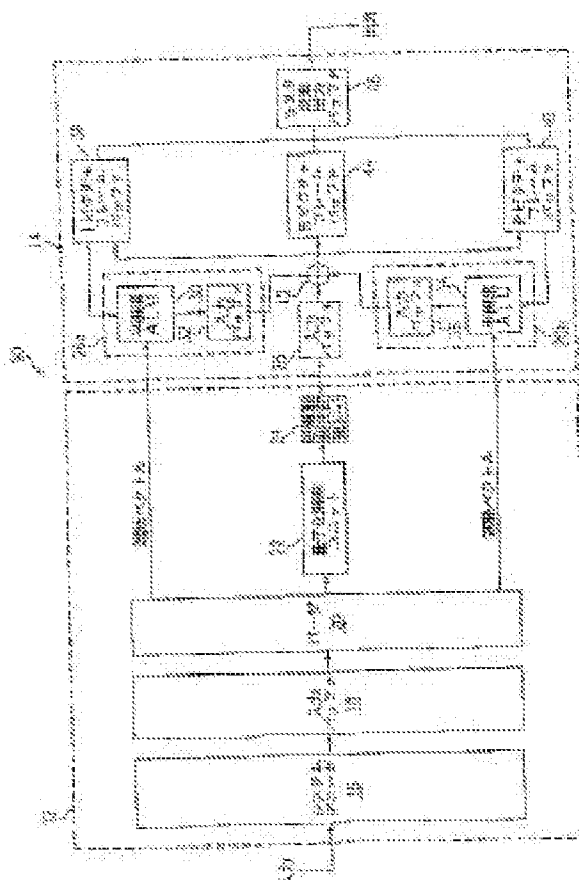
ARCHITECTURE OF VIDEO DATA DECODER

Publication date: 1995-07-14
Inventor(s): HASHIMOTO SEIJI; FURANKU ERU RAKUTSUKO SHINIA +
Applicant(s): TEXAS INSTRUMENTS INC +
Classification:
 - international: *G06T9/00; H04N5/92; H04N5/937; H04N7/26; H04N7/32; H04N7/36; H04N7/50;* (IPC1-7): H04N5/92; H04N5/937; H04N7/32
 - European: H04N7/26L; H04N7/26L2; H04N7/26L4; H04N7/36C; H04N7/36C4; H04N7/50
Application number: JP19940190390 19940812
Priority number (s): US19930107098 19930813
Also published as:

- JP 3615241 (B2)
- US 5646688 (A)
- US 5608459 (A)

Abstract of JP 7177523 (A)

PURPOSE: To provide video data decoding architecture for providing sufficient processing speed by efficiently and speedily accessing a required memory system. **CONSTITUTION:** A video data processor 10 includes a 1st substrate 12 and a 2nd substrate 14 and a system decoder 16, input buffer 18 and syntax analytic circuit 20 are formed on the 1st substrate 12. The syntax analytic circuit 20 retrieves video data information from an input data stream and supplies a coefficient through a dequantizing unit 22 and a transformation unit 24. Further, motion vector information is output from the syntax analytic circuit 20. The 2nd substrate 14 includes plural frame buffers 38, 40 and 44. The frame buffers 38, 40 and 44 store decoded video information.; Motion compensation modules 26a and 26b execute predicted calculation to information received from the video data stream and the other decoded images. A raster scan output buffer 46 outputs decoded video information.



Last updated: 26.04.2011 Worldwide
 Database 5.7.23; 92p

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-177523

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/32

5/92

5/937

H 0 4 N 7/137

Z

5/92

H

審査請求 未請求 請求項の数1 OL (全8頁) 最終頁に続く

(21) 出願番号 特願平6-190390

(22) 出願日 平成6年(1994)8月12日

(31) 優先権主張番号 08/107098

(32) 優先日 1993年8月13日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 橋本 征史

茨城県つくば市小野川14-32

(72) 発明者 フランク エル ラクツコ シニア

アメリカ合衆国 テキサス州 75002 ア
レンストーン クリーク 300

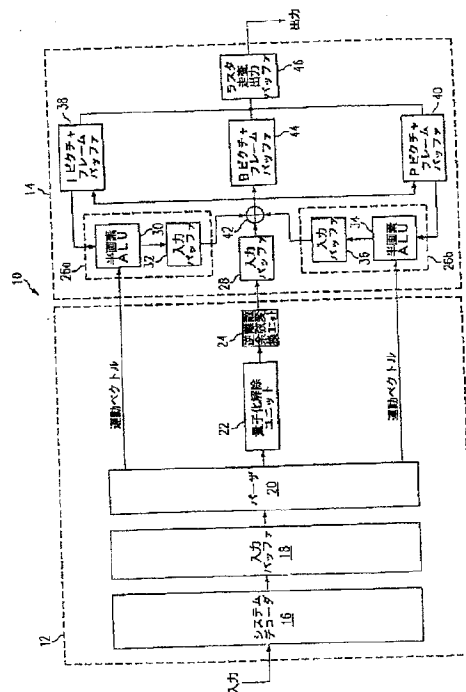
(74) 代理人 弁理士 中村 稔 (外6名)

(54) 【発明の名称】 ビデオデータデコーダのアーキテクチャ

(57) 【要約】

【目的】 所要メモリシステムに効率的且つ迅速にアクセスして十分な処理速度が得られるビデオデータ復号アーキテクチャを提供する。

【構成】 ビデオデータ処理装置は第1のサブストレートと第2のサブストレートとを含み、システムデコーダ、入力バッファ及び構文解析回路が第1のサブストレート上に形成されている。構文解析回路は入力データストリームからビデオデータ情報を検索し、量子化解除ユニット及び変換ユニットを通して係数を供給する。更に、運動ベクトル情報が構文解析回路から出力される。第2のサブストレートは複数のフレームバッファを含む。フレームバッファは復号されたビデオ情報を記憶する。運動補償モジュールはビデオデータストリーム並びに復号済の他の画像から受けた情報に対する予測される計算を遂行する。ラスタ走査出力バッファは復号されたビデオ情報を出力する。



【特許請求の範囲】

【請求項 1】 符号化されたデータストリームを処理するためのビデオデータ処理装置であって、
第 1 の半導体サブストレート上に形成され、データストリームの少なくとも一部分を構文解析して符号化された画像データと運動ベクトルデータとを出力するように動作可能な構文解析回路と、

上記第 1 の半導体サブストレート上に形成されていて上記構文解析回路に接続され、上記画像データを処理するように動作可能な変換回路と、

第 2 の半導体サブストレート上に形成されていて上記構文解析回路に接続され、上記運動ベクトルデータを処理するように動作可能な運動補償回路と、

上記第 2 の半導体サブストレート上に形成され、ビデオ画像データの少なくとも 1 つの完全フレームを表すデータを記憶するように動作可能な画像メモリ回路とを具備することを特徴とするビデオデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般的にはデータ処理の分野に関し、特定的には改良されたビデオデータ復号アーキテクチャに関する。

【0002】

【従来の技術】 最新のデータ伝送における重要な面は、データ転送速度を高めるためのデータ圧縮及び圧縮解除に関する能力である。これらの重要性は、大量のデータを含むビデオデータ伝送を取り扱う上で特に明白である。全運動ビデオは、画像の解像力及び大きさに依存して毎秒 30 フレーム（もしくは画像）程度で符号化し、伝送し、復号し、そして表示することを含む。これらの応用に含まれる転送すべきデータは莫大な量になり得るから、データ伝送問題も極めて困難になり得る。ビデオデータの伝送に固有の問題は、画像がある瞬時から別の瞬時までは大きく変化しないことから、ビデオデータの順次フレームは大きい冗長度を有しているという事実によって救われる。即ち、この事実から、ビデオデータの 1 つのフレームとその隣接するフレームとの間の差分を通信する差分信号を符号化することができる。加えて、単一の画像内の対象を追跡することは可能であり、それらの運動は、これもまた符号化することができる運動ベクトルとして表現することができる。これによりある画像を横切って運動する対象を符号化するために必要なデータは、その対象に対応付けられたデータを符号化し、次いで運動ベクトルを符号化して次のフレーム内のその対象が何処へ移動したかを指示することによって大幅に減少させることができる。

【0003】 データストリーム内に含まれる圧縮された画像、差分データで表されている予測情報、及び運動補償ベクトル情報（これらは全てが符号化されている）を復号するためには、膨大な量のデータ処理が必要であ

る。復号プロセス中に隣接画像を使用することから、この復号プロセスに含まれるデータ処理は、大量のメモリアクセスを必要とする。データ圧縮のこれらの種々の技術を使用するためには、ビデオデータ復号装置の速度及び操作性におけるメモリへのアクセス能力が臨界的な要因になってきている。

【0004】

【発明の概要】 従って、種々のデータ圧縮技術を使用することが可能な、しかも所要メモリシステムに効率的に、且つ迅速にアクセスすることによって充分な処理速度を提供するビデオデータ復号アーキテクチャに対する要望が存在している。本発明によれば、先行アーキテクチャが有していた欠陥を実質的に減少乃至は排除するビデオデータ復号アーキテクチャが提供される。本発明の一実施例によれば、第 1 の集積された半導体サブストレート上に形成された構文解析回路及びデータ変換回路を具備するビデオデータ処理装置が提供される。運動補償回路及び画像メモリ回路は第 2 の集積された半導体サブストレート上に構成されている。本発明のさらなる実施例によれば、システムデコーダ回路及び入力バッファ回路も第 1 の半導体サブストレート上に形成されている。また出力バッファ回路が第 2 の半導体サブストレート上に構成されている。以下に添付図面を参照して本発明の実施例を説明する。

【0005】

【実施例】 図 1 はビデオデータ復号装置 10 の概要ブロック線図である。装置 10 は、例えば MPEG 構文を使用して符号化されたオーディオ及びビデオデータからなっていてよい符号化されたデータストリームを受信するように動作可能である。装置 10 は、符号化されたデータストリームから特定のビデオチャンネルを抽出し、抽出したチャンネルを復号し、そして復号されたビデオデータのフレームを出力して表示させるように動作可能である。本発明の重要な技術的長所は、装置 10 が第 1 の半導体サブストレート 12 及び第 2 の半導体サブストレート 14 上に形成されていることである。このアーキテクチャの利点に関しては以下に説明するが、要約すれば、装置 10 の成分をサブストレート 12 及び 14 に細分したことによってサブストレート 12 及び 14 の外部へのデータ転送が最小になることから、装置 10 を最も効率的に動作させることができる。半導体サブストレートから外部へデータを転送するには、外部バスの形成及び動作が必要である。外部バスは本質的に半導体サブストレート内部バスよりも低速であり、集積システム内に外部バスを実現するために必要な費用及び大きさの点から見ても高価である。

【0006】 再び図 1 を参照する。装置 10 は、符号化された入力データストリームを受信するように動作可能なシステムデコーダ 16 を含む。システムデコーダ 16 は、合衆国特許出願一連番号 08/021,007 号「集積され

たオーディオデコーダシステム及び動作方法”、合衆国特許出願一連番号 08/054,127 号“オーディオデコーダ回路及び方法”、合衆国特許出願一連番号 08/054,768 号“ハードウェアフィルタ回路”、及び合衆国特許出願一連番号 08/054,126 号“システムデコーダ回路及び動作方法”の図 2 を参照して記述されているシステムデコーダ回路に類似のアーキテクチャ及び回路からなることができる。システムデコーダ 16 は、符号化された入力データストリームを多重化解除（デマルチプレクス）してデータストリームから単一のビデオチャンネルを抽出し、そのチャンネルを構成しているデータを入力バッファ 18 へ出力するように動作する。入力バッファ 18 は、システムデコーダ 16 が抽出したチャンネルを記憶するのに十分な量のダイナミックランダムアクセスメモリを備えている。本発明の代替実施例によれば、システムデコーダ 16 はサブストレート 12 とは異なる分離したサブストレート上に形成させることができる。システムデコーダ 16 は、多チャンネルの情報を抽出して幾つかの復号装置へ供給するように動作させることができる。例えば、ビデオデータ復号装置 10 は、分離したオーディオ復号装置（両装置は同一の符号化されたデータストリーム内に含まれる異なるチャンネルに対して並列に動作する）と並列に動作させることができる。装置 10 及び分離したオーディオ復号装置は、入力データストリームを 2 もしくはそれ以上の並列復号装置に対して多重化解除するように動作するシステム復号回路もしくは集積されたシステム復号装置を共有することができる。本発明の更に別の実施例によれば、入力バッファ 18 も並列復号装置に共有させることができ、またシステムデコーダ 16 と同一のサブストレート上に形成させることも、もしくは代替として別の専用バッファサブストレート上に形成させることもできる。

【0007】入力バッファ 18 内に記憶されたデータは、構文解析（parser）回路 20 によって入力バッファ 18 から検索される。入力バッファ 18 内に記憶されたデータは、ホフマン符号化されている。構文解析回路 20 は、ホフマン符号を復号するように機能する。入力バッファ 18 内に記憶されたデータは、復号すべき画像に対応付けられた情報の少なくとも 2 つの基本集合からなる。情報の第 1 の集合は一組の離散余弦変換係数からなる。この情報は、この情報を量子化することによって圧縮されている。実際の離散余弦変換係数を抽出するために必要なこの情報は、構文解析回路 20 から量子化解除（dequantization）機能を遂行する量子化解除ユニット 22 へ印加される。量子化解除された情報は、逆離散余弦変換（IDCT）ユニット 24 へ出力される。変換ユニット 24 はデータに対して逆離散余弦変換を遂行して実際のビデオ画像データを形成し、このデータをサブストレート 12 から出力する。構文解析回路 20 は、入力バッファ 18 内に記憶されているデータストリーム

から、運動ベクトルデータからなる情報の第 2 の集合を抽出するようにも機能する。この運動ベクトル情報は構文解析回路 20 からサブストレート 12 の外へ出力され、運動補償回路 26 へ供給される。図 1 に示すこの回路 26 は運動補償モジュール 26a 及び運動補償モジュール 26b からなり、サブストレート 14 上に形成されている。変換されたビデオ画像データは逆離散余弦変換ユニット 24 から、サブストレート 14 上に形成された入力バッファ 28 へ出力される。

【0008】運動補償モジュール 26a は、半画素算術論理演算ユニット（ALU）30 と入力バッファ 32 とからなる。同様に、運動補償モジュール 26b は、半画素 ALU 34 と入力バッファ 36 とからなる。ALU 30 及び 34 は構文解析回路 20 から運動ベクトル情報を受信し、運動補償計算を遂行して差分画像データを求め、それを入力バッファ 32 及び 36 内に記憶する。運動補償モジュール 26a は、I ピクチャフレームバッファ 38 からビデオ画像データをも受信している。同様に、運動補償モジュール 26b は P ピクチャフレームバッファ 40 からビデオ画像データを受信している。以下に説明するように、運動補償モジュール 26a 及び 26b は、I ピクチャ及び P ピクチャからのデータを使用して差分信号を形成し、これらの信号は加算モジュール 42 において入力バッファ 28 からの信号に加算される。加算モジュール 42 の出力は、I ピクチャフレームバッファ 38、P ピクチャフレームバッファ 40 もしくは B ピクチャフレームバッファ 44 へ選択的に入力することができる。I ピクチャフレームバッファ 38、P ピクチャフレームバッファ 40 もしくは B ピクチャフレームバッファ 44 内に記憶されているピクチャデータは、ラスト走査出力バッファ 46 へ出力することができる。ラスト走査出力バッファ 46 は、フレームバッファ 38、40 及び 44 から情報を検索し、ビデオデータを適当な表示装置へ出力する。

【0009】本発明の代替実施例によれば、ラスト走査出力バッファ 46 は、物理的にフレームバッファ 38、40 及び 44 とは異なるサブストレート上に配置することができる。例えば、ラスト走査出力バッファ 46 はサブストレート 12 上に位置決めすると有利であるかも知れない。ラスト走査出力バッファ 46 は、ビデオ画像の濾波を含む種々の事後処理機能を遂行するシステムを含むこともできる。図 2 は、MPEG 構文を使用して符号化されたビデオ画像を担持するデータストリームを復号する際の装置 10 の動作を示すデータ流れ図である。図 2 の最上部は、入力データの流れの始めに I ピクチャが含まれていることを示している。図 2 の最上部に示す正しいデータストリームは、多重化されたデータストリームからシステムデコーダ 16 によって検索され、前述したように入力バッファ 18 へ配置される。次いで構文解析回路 20 は最初の I ピクチャに対応付けられたデータ

を検索し、そのデータを量子化解除ユニット 22 及び逆離散余弦変換ユニット 24 へ直接供給する。MPEG 構文によれば、I ピクチャはそれに対応付けられた運動ベクトルを有しておらず、変換ユニット 24 によって形成される画像はビデオ画像データの完全フレームである。データのこのフレームは入力バッファ 28 へ供給され、加算モジュール 42 において運動補償モジュール 26a 及び 26b からの 0 値と加算される。このような変化しない画像データは入力バッファ 28 から I ピクチャフレームバッファ 38 内へ供給される。図 2 の最下部に示すように、I ピクチャフレームバッファ 38 内に記憶された I ピクチャが、ラスト走査出力バッファ 46 によって出力されるビデオデータの最初の出力である。

【0010】入力データストリームからの情報の次のフレームは、P ピクチャに対応するデータからなる。

“P” ピクチャとは“予測される”ピクチャの意である。I ピクチャからのデータは P ピクチャの値を予測するために使用される。符号化に当たって、データストリーム全体は P ピクチャと I ピクチャとの差分と、そのフレーム内の対象の位置の変化を決定する運動ベクトルだけが符号化されて圧縮されている。従って、構文解析回路 20 はデータストリームから差分情報を検索し、この差分情報は量子化解除ユニット 22 において量子化解除され、そして変換ユニット 24 において変換される。次いで差分信号は入力バッファ 28 内に記憶される。同様に、運動ベクトル情報は運動補償モジュール 26a に供給される。半画素 ALU 30 は運動ベクトルから、及び I ピクチャフレームバッファから情報を検索し、運動補償されたフレームを計算して入力バッファ 32 へ出力する。次いで加算モジュール 42 は、入力バッファ 32 からの補償済フレームと、入力バッファ 28 内に記憶されている差分信号とを加算して、データの全 P ピクチャフレームを形成する。このデータは P ピクチャフレームバッファ 40 内に記憶される。

【0011】より良好な予測を達成するために、半画素 ALU 30 及び半画素 ALU 34 は隣接する画素の値を平均することができる。運動ベクトルをより良好に予測できるようにするために、単一の画素、2 画素もしくは 4 画素を平均することができる。入力データ流からの次の 2 つの画像は B ピクチャからなる。B ピクチャは、B ピクチャが最終データ出力の I ピクチャと P ピクチャとの間に位置決めされるものとして、順方向予測及び逆方向予測の両方を使用する。即ち、B ピクチャ情報の最初のフレームは構文解析回路 20 から量子化解除ユニット 22 及び変換ユニット 24 へ供給される。変換ユニット 24 からの出力も差分信号であり、入力バッファ 28 内へ入力される。B ピクチャフレームに対応付けられた運動ベクトル情報は、運動補償モジュール 26a 及び運動補償モジュール 26b へ出力される。順方向予測は、運動補償モジュール 26a において I ピクチャフレームバ

ッファ 38 からデータを検索することによって遂行される。同様に、逆方向予測は、運動補償モジュール 26b において P ピクチャフレームバッファ 40 からデータを検索することによって遂行される。信号は、入力バッファ 28、入力バッファ 32 及び入力バッファ 36 から検索され、B ピクチャフレームバッファ 44 内にロードされる前に加算モジュール 42 において一緒に平均される。

【0012】図 2 の最下部に示す出力データ流は、P ピクチャが復号されて P ピクチャフレームバッファ 40 内へロードされた後に、I ピクチャが出力されることを示している。2 つの B ピクチャ画像が B ピクチャフレームバッファ内へ順次にロードされて直ちに出力される。次いで入力データ流内の次の P ピクチャが、第 1 の P ピクチャが出力される直前に I ピクチャフレームバッファ 38 内へロードされる。順方向の予測ができることを使用して、第 1 の P ピクチャが第 2 の P ピクチャを復号するために使用される。次いで順方向及び逆方向の両予測ができることを利用して第 3 及び第 4 の B ピクチャが第 1 及び第 2 の P ピクチャを使用して復号される。本発明の一実施例によれば、ピクチャ品質の劣化を防ぐためには 0.5 秒毎に 1 回 I ピクチャがデータストリーム内に含まれている。I ピクチャが完全に復号された後に、次の I ピクチャが現れるまで順方向もしくは逆方向予測の何れかを使用して、ビデオフレームの次の 0.5 秒分がそれぞれ復号される。再度図 1 を参照する。本発明のアーキテクチャの長所は、サブストレート 12 とサブストレート 14 との間に必要な通信に関してフレームバッファ 38、40 及び 44 と運動補償モジュール 26a 及び 26b との間の必要な通信を調べれば明らかである。他のビデオ画像を引き続いて復号するために使用されるビデオ画像を記憶するのに必要なメモリが、これらの他の画像を形成する計算を遂行する運動補償モジュール 26a 及び 26b と同一のサブストレート上に位置決めされているので、装置 10 の動作中のビデオ画像メモリへのアクセスの大部分が単一の半導体サブストレート上で行われるようになる。もし復号された画像を記憶するために汎用メモリモジュールを使用すれば、他の画像を復号するために必要な画像データへのアクセスは、運動補償計算回路と外部メモリとの間の外部バスを通して遂行しなければならない。必要な動作速度を得るためには、これらの外部バスは全画像を極めて高速でアップロード及びダウンロードするように十分な帯域幅を有していなければならない。MPEG で構文する場合、データの単一のフレームは 4 メガバイトの情報からなる。それ故、外部メモリを使用して装置を動作させるには 64 ビット幅の外部バスを有する 16 メガバイトの外部メモリが必要である。64 ビット幅の外部バスは極めて高価であり、また動作に大電力を消費する。

【0013】対照的に、本発明のアーキテクチャによれ

ば、運動補償回路と同一のサブストレート上にメモリを形成することができる。従って、情報をビデオメモリから運動補償計算ユニットへ経路指定するのに必要なバスはサブストレート14上に形成される。1つのサブストレート上に形成されたバスの電力消費は外部バスに比して遙かに少なく、また外部バスよりも遙かに高速で動作させることができる。以上の如く、大きい外部バスを必要とすることなく、符号化されたビデオデータを効率的に処理できるアーキテクチャが提供されたのである。サブストレート12とサブストレート14との間の接続は、並列運動ベクトル伝送のための1つもしくは2つの8ビット幅のバスと、変換ユニット24から入力バッファ28への入力のための1つの8ビットバスとで構成することができる。更に、外部メモリを使用しそして運動補償モジュール26a及び26bとフレームバッファ38、40及び44との間に外部通信を必要とする場合ほど、これらのバスが頻繁に使用されることはない。以上の記載に関連して、以下の各項を開示する。

(1) 符号化されたデータストリームを処理するためのビデオデータ処理装置であって、第1の半導体サブストレート上に形成され、データストリームの少なくとも一部分を構文解析して符号化された画像データと運動ベクトルデータとを出力するように動作可能な構文解析回路と、上記第1の半導体サブストレート上に形成されていて上記構文解析回路に接続され、上記画像データを処理するように動作可能な変換回路と、第2の半導体サブストレート上に形成されていて上記構文解析回路に接続され、上記運動ベクトルデータを処理するように動作可能な運動補償回路と、上記第2の半導体サブストレート上に形成され、ビデオ画像データの少なくとも1つの完全フレームを表すデータを記憶するように動作可能な画像メモリ回路とを具備することを特徴とするビデオデータ処理装置。

【0014】(2) 上記符号化されたデータストリームは、複数の多重化されたデータストリームからなり、上記装置が、上記第1の半導体サブストレート上に形成され、上記符号化されたデータストリームを多重化解除して多重化されたデータストリームの単一のデータストリームを抽出し、上記単一の抽出されたデータストリームを上記構文解析回路へ出力するように動作可能なシステムデコーダ回路をも備えている上記(1)に記載の装置。

(3) 上記第1の半導体サブストレート上に形成されていて上記システムデコーダ回路と上記構文解析回路とに接続され、上記システムデコーダ回路から上記単一の抽出されたデータストリームを受信して記憶し、上記単一の抽出されたデータストリームを上記構文解析回路へ出力するように動作可能な入力バッファ回路をも備えている上記(2)に記載の装置。

(4) 上記変換回路は、上記画像データを量子化解除

するように動作可能な量子化解除回路と、上記量子化解除された画像データを変換するように動作可能な離散余弦変換回路とを備えている上記(1)に記載の装置。

【0015】(5) 上記画像メモリ回路は、符号化されたデータストリームから検索されたIピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なIピクチャメモリと、符号化されたデータストリームから検索されたPピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なPピクチャメモリと、符号化されたデータストリームから検索されたBピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なBピクチャメモリとを備えている上記(1)に記載の装置。

(6) 上記運動補償回路は、上記Iピクチャメモリに接続されていて上記Iピクチャメモリからビデオ画像データを検索するように動作可能な半画素算術論理演算ユニットを備えている上記(5)に記載の装置。

(7) 上記運動補償回路は、上記Pピクチャメモリに接続されていて上記Pピクチャメモリからビデオ画像データを検索するように動作可能な半画素算術論理演算ユニットを備えている上記(5)に記載の装置。

(8) 上記画像メモリ回路に接続され、復号されたビデオ画像データを検索して上記復号されたビデオ画像データを装置から出力するように動作可能なラスタ走査出力回路をも備えている上記(1)に記載の装置。

【0016】(9) 上記ラスタ走査出力回路は、上記第1の半導体サブストレート上に形成されている上記(6)に記載の装置。

(10) 上記ラスタ走査出力回路は、上記第2の半導体サブストレート上に形成されている上記(6)に記載の装置。

(11) 上記運動補償回路は、半画素算術論理演算ユニットを備えている上記(1)に記載の装置。

(12) 複数の多重化されたデータストリームからなる符号化されたデータストリームを処理するためのビデオデータ処理装置であって、第1の半導体サブストレート上に形成され、符号化されたデータストリームを多重化解除して多重化されたデータストリームの単一のデータストリームを抽出し、上記単一の抽出されたデータストリームを出力するように動作可能なシステムデコーダ回路と、上記第1の半導体サブストレート上に形成されていて上記システムデコーダ回路に接続され、上記システムデコーダ回路から上記単一の抽出されたデータストリームを受信して上記単一の抽出されたデータストリームを出力するように動作可能な入力バッファ回路と、上記第1の半導体サブストレート上に形成されていて上記入力バッファ回路に接続され、上記単一の抽出されたデータストリームを構文解析して符号化された画像データ及び運動ベクトルデータを出力するように動作可能な構文解析回路と、上記第1の半導体サブストレート上に形

成されていて上記構文解析回路に接続され、上記画像データを処理するように動作可能な変換回路と、第2の半導体サブストレーツ上に形成され、上記構文解析回路に接続されていて上記運動ベクトルデータを処理するように動作可能な運動補償回路と、上記第2の半導体サブストレーツ上に形成されていて上記ビデオ画像データの少なくとも1つの完全フレームを表すデータを記憶するように動作可能な画像メモリ回路とを具備することを特徴とする装置。

【0017】(13) 上記変換回路は、上記画像データを量子化解除するように動作可能な量子化解除回路と、上記量子化解除された画像データを変換するように動作可能な離散余弦変換回路とを備えている上記(12)に記載の装置。

(14) 上記画像メモリ回路は、符号化されたデータストリームから検索されたIピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なIピクチャメモリと、符号化されたデータストリームから検索されたPピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なPピクチャメモリと、符号化されたデータストリームから検索されたBピクチャのビデオ画像を表す復号された画像データを記憶するように動作可能なBピクチャメモリとを備えている上記(12)に記載の装置。

(15) 上記運動補償回路は、上記Iピクチャメモリに接続されていて上記Iピクチャメモリからビデオ画像データを検索するように動作可能な半画素算術論理演算ユニットを備えている上記(14)に記載の装置。

【0018】(16) 上記運動補償回路は、上記Pピクチャメモリに接続されていて上記Pピクチャメモリからビデオ画像データを検索するように動作可能な半画素算術論理演算ユニットを備えている上記(14)に記載の装置。

(17) 上記画像メモリ回路に接続され、復号されたビデオ画像データを検索して上記復号されたビデオ画像データを装置から出力するように動作可能なラスタ走査出力回路をも備えている上記(12)に記載の装置。

(18) 上記ラスタ走査出力回路は、上記第1の半導体サブストレーツ上に形成されている上記(15)に記載の装置。

(19) 上記ラスタ走査出力回路は、上記第2の半導体サブストレーツ上に形成されている上記(15)に記載の装置。

(20) 上記運動補償回路は、半画素算術論理演算ユニットを備えている上記(12)に記載の装置。

(21) 第1のサブストレーツ(12)と第2のサブストレーツ(14)とを含むビデオデータ処理装置(10)が開示される。システムデコーダ(16)、入力バッファ(18)及び構文解析回路(20)が第1のサブストレーツ(12)上に形成されている。構文解析回路(20)は入力データストリームからビデオデータ情報を検索し、量子化解除ユニット(22)及び変換ユニット(24)を通して係数を供給する。更に、運動ベクトル情報が構文解析回路(20)から出力される。第2のサブストレーツ(14)は複数のフレームバッファ(38、40及び44)を含む。フレームバッファ(38、40及び44)は復号されたビデオ情報を記憶するために使用される。運動補償モジュール(26a及び26b)はビデオデータストリーム並びに復号済の他の画像から受けた情報に対する予測される計算を遂行するために使用される。ラスタ走査出力バッファ(46)は復号されたビデオ情報を出力するために使用される。

【0019】以上に本発明の詳細を説明したが、特許請求の範囲によってのみ限定される本発明の範囲から逸脱することなく、上述した実施例には種々の変化、変更及び置換を考案し得ることを理解されたい。

【図面の簡単な説明】

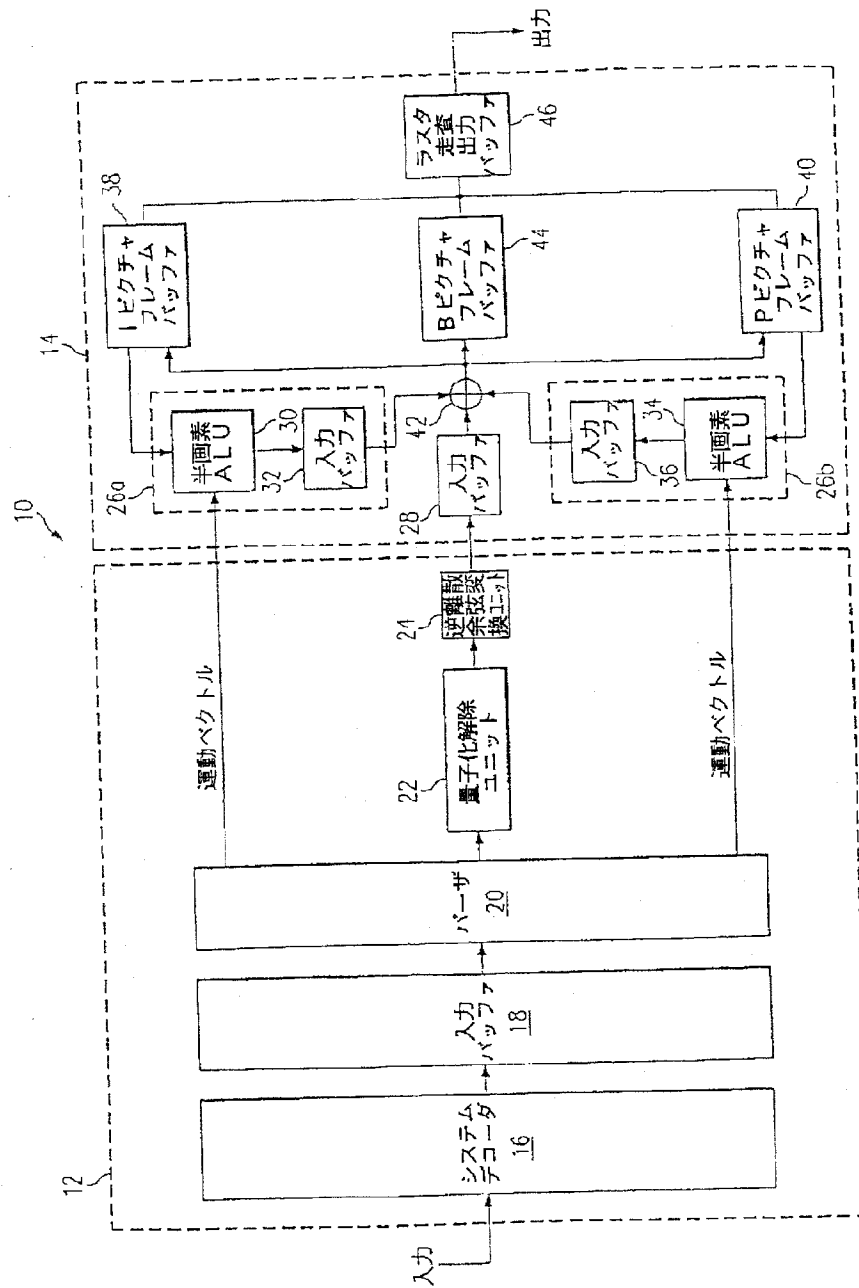
【図1】本発明によるビデオデータ処理アーキテクチャの概要ブロック線図である。

【図2】ビデオデータ処理中のビデオデータバッファの使用を説明するデータ流れ図である。

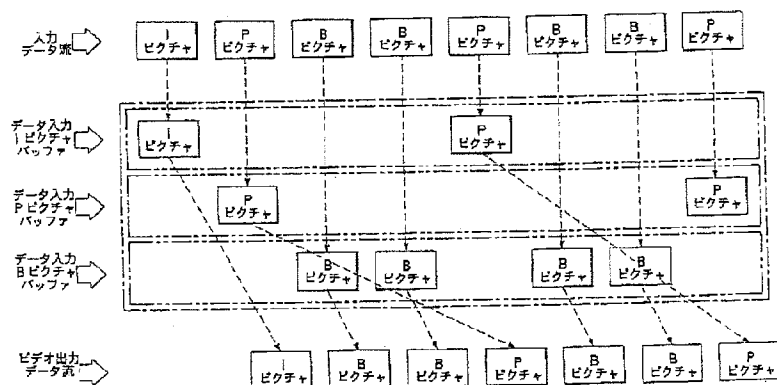
【符号の説明】

- 10 ビデオデータ復号装置
- 12 第1の半導体サブストレーツ
- 14 第2の半導体サブストレーツ
- 16 システムデコーダ
- 18 入力バッファ
- 20 構文解析回路
- 22 量子化解除ユニット
- 24 逆離散余弦変換ユニット
- 26 運動補償回路
- 28 入力バッファ
- 30、34 半画素ALU
- 32、36 入力バッファ
- 38 Iピクチャフレームバッファ
- 40 Pピクチャフレームバッファ
- 42 加算モジュール
- 44 Bピクチャフレームバッファ
- 46 ラスタ走査出力バッファ

【図1】



【図2】



フロントページの続き

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

H 0 4 N 5/93

技術表示箇所

C

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成13年12月21日(2001.12.21)

【公開番号】特開平7-177523
 【公開日】平成7年7月14日(1995.7.14)
 【年通号数】公開特許公報7-1776
 【出願番号】特願平6-190390
 【国際特許分類第7版】

H04N 7/32
 5/92
 5/937

【F I】

H04N 7/137 Z
 5/92 H
 5/93 C

【手続補正書】

【提出日】平成13年3月21日(2001.3.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 符号化されたデータストリームを処理するビデオデータ処理システムにおいて、データストリームの少なくとも一部分を構文解析し、そして構文解析した画像データと運動ベクトルデータとを出力する構文解析回路、この構文解析回路から前記の構文解析した画像データを受け取るよう接続され、そして前記の構文解析した画像データを変換する変換回路、復号された画像データを蓄積する画像メモリ回路、前記の構文解析回路から前記の運動ベクトルデータを受け取り、そして前記の画像メモリ回路から蓄積され、復号された画像データを受け取り、そして前記の運動ベクトルデータと前記の蓄積され、復号された画像データを処理し、そして運動補償した画像データを出力する運動補償回路、そして前記の変換回路から変換された画像データを受け取り、前記の運動補償回路から運動補償された画像データを受け取り、そして前記の復号された画像データを出力するよう接続された集計回路を備え、前記の画像メモリ回路は前記の集計回路から前記の復号された画像データを受け取るよう接続され、そして、符号化されたデータストリームから検索されたフレーム間Iピクチャーのビデオ画像を表している復号された画像データを蓄積するIピクチャーメモリ、符号化されたデータストリームから検索された、予測されたPピクチャー

のビデオ画像を表している復号された画像データを蓄積するPピクチャーメモリ、符号化されたデータストリームから検索された、そして双方向Bピクチャーのビデオ画像を表している復号された画像データを蓄積するBピクチャーメモリを備え、少なくとも前記の集計回路、運動補償回路そして画像メモリ回路は単一の半導体サブストレートに形成されていることを特徴とするビデオデータ処理システム。

【請求項2】 前記の単一の半導体サブストレートに形成され、そして前記の変換回路からその変換された画像データを受け取り、そして変換された画像データを前記の集計回路へ出力する第1の入力バッファ回路を備えている請求項1に記載のビデオデータ処理システム。

【請求項3】 前記の運動補償回路は、前記の構文解析回路から前記の運動ベクトルデータを受け取り、そして前記のIピクチャーメモリから前記の蓄積され、復号された画像を受け取るよう接続された第1の半画素演算演算論理ユニット、前記の構文解析回路から前記の運動ベクトルデータを受け取り、そして前記のPピクチャーメモリから前記の蓄積され、復号された画像データを受け取るよう接続された第2の半画素演算演算論理ユニット、この第2の演算演算論理ユニットから第2の運動補償した画像データを受け取り、そして前記の第2の運動補償された画像データを前記の集計回路へ出力するよう接続された第3の入力バッファ回路とを備え、前記の第1と第2の演算演算論理ユニットと前記の第2と第3の入力バッファ回路とは全部前記の単一の半導体サブストレートに形成されている請求項2に記載のビデオデータ処理システム。

【請求項4】 前記のIピクチャー、前記のPピクチャー、前記のBピクチャーを表す前記の蓄積され、復号された画像データをそれぞれ前記のIピクチャーメモリ、

前記の P ピクチャーメモリ、前記の B ピクチャーメモリから検索するよう、そして検索され、蓄積され、復号された画像データを出力するラスタースキャン出力回路を備えた請求項 3 に記載のビデオデータ処理システム。

【請求項 5】 前記のラスタースキャン出力回路が前記の単一の半導体サブストレートに形成されている請求項 4 に記載のビデオデータ処理システム。